

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-231477

(43)Date of publication of application : 19.08.1994

(51)Int.Cl.

G11B 7/095

(21)Application number : 05-042137

(71)Applicant : SONY CORP

(22)Date of filing : 05.02.1993

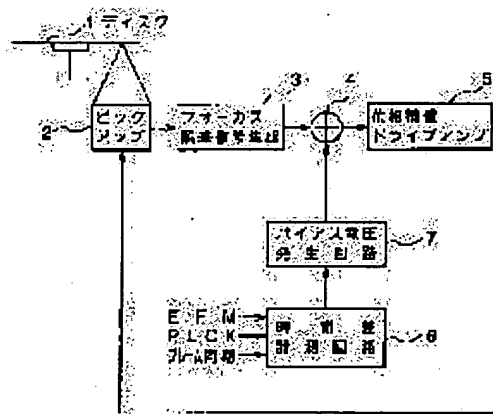
(72)Inventor : SHIMIZUME KAZUTOSHI
AKITA MAMORU
INOHANA SHIGERU
NODA HIDENOBU

(54) FOCUSING SERVO CIRCUIT

(57)Abstract:

PURPOSE: To provide a focusing servo circuit capable of automatically and optimally performing the bias adjustment of the focusing servo by every disk to be reproduced.

CONSTITUTION: The jitter amount of an RF signal is measured by means of a time difference measuring circuit 6 as the time difference between the edge of a PLL clock synchronized with an EFM signal and the changing point of the EFM signal and a focusing bias voltage so as to minimize the time difference is set by means of a bias voltage generating circuit 7. By adding the focusing bias voltage thus set to a focusing error signal generated by a generator circuit 3 for a focusing error signal by means of an adder 4, the focusing bias is automatically adjusted and the focusing servo is executed based on the focusing error signal subjected to the bias adjustment.



LEGAL STATUS

[Date of request for examination] 30.11.1999

[Date of sending the examiner's decision of rejection] 14.08.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-231477

(43)公開日 平成6年(1994)8月19日

(51)Int.Cl.⁵

G11B 7/095

識別記号

庁内整理番号

C 2106-5D

F I

技術表示箇所

審査請求 未請求 請求項の数4 F D (全 7 頁)

(21)出願番号 特願平5-42137

(22)出願日 平成5年(1993)2月5日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 清水 和年

神奈川県横浜市保土ヶ谷区神戸町134番地

ソニーL S Iデザイン株式会社内

(72)発明者 秋田 守

神奈川県横浜市保土ヶ谷区神戸町134番地

ソニーL S Iデザイン株式会社内

(72)発明者 猪鼻 茂

神奈川県横浜市保土ヶ谷区神戸町134番地

ソニーL S Iデザイン株式会社内

(74)代理人 弁理士 船橋 國則

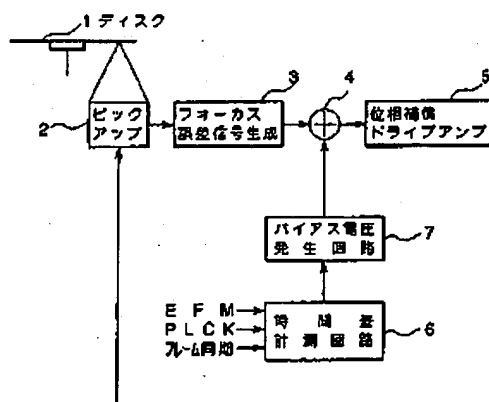
最終頁に続く

(54)【発明の名称】 フォーカスサーボ回路

(57)【要約】

【目的】 フォーカスサーボのバイアス調整を、再生するディスク毎に自動的にかつ最適に行うことが可能なフォーカスサーボ回路を提供する。

【構成】 R F 信号のジッター量を E F M 信号に同期した P L L クロックのエッジと E F M 信号の変化点との間の時間差として時間差計測回路 6 で計測し、この時間差が最少となるようなフォーカスバイアス電圧をバイアス電圧発生回路 7 で設定し、この設定フォーカスバイアス電圧をフォーカス誤差信号生成回路 3 で生成されたフォーカス誤差信号に加算器 4 で加算することによってフォーカスバイアスを自動的に調整し、このバイアス調整されたフォーカス誤差信号に基づいてフォーカスサーボを行う。



本発明の一実施例を示すブロック図

(2)

特開平6-231477

1

2

【特許請求の範囲】

【請求項1】 フォーカス誤差信号を生成する誤差信号生成回路と、

ディスクから再生された2値化信号に同期したクロックのエッジと前記2値化信号の変化点との間の時間差を計測する時間差計測回路と、

前記時間差に応じたフォーカスバイアス電圧を発生するバイアス電圧発生回路と、

前記フォーカス誤差信号に前記フォーカスバイアス電圧を加算する加算器とを具備し、

前記加算器の加算出力に基づいてフォーカスサーボを行うことを特徴とするフォーカスサーボ回路。

【請求項2】 前記時間差計測回路は、前記クロックのエッジと前記2値化信号の変化点との間の時間差を計測する回路と、この計測した時間差が基準時間以上となることを検出する回路と、この検出回数が所定の時間内においてカウントするカウンタとを備え、このカウンタのカウントデータを前記時間差の計測データとして出力することを特徴とする請求項1記載のフォーカスサーボ回路。

【請求項3】 前記バイアス電圧発生回路は、前記計測データの平均値が最小となるようにフォーカスバイアス電圧を設定することを特徴とする請求項2記載のフォーカスサーボ回路。

【請求項4】 前記バイアス電圧発生回路は、前記計測データの最小値を計測するとともに、この最小値よりも所定値だけ大なる閾値を設定し、前記計測データがこの閾値となる2つのバイアス値を計測し、この2つのバイアス値の平均値をフォーカスバイアス電圧として設定することを特徴とする請求項2記載のフォーカスサーボ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、フォーカスサーボ回路に関し、特にCD（コンパクトディスク）プレーヤ等の光学式ディスクプレーヤのサーボ系に用いて好適なフォーカスサーボ回路に関する。

【0002】

【従来の技術】光学式ディスクプレーヤ、例えばCDプレーヤには、ディスクの反り等に起因してディスク回転時に発生するディスクの信号面の上下動に対し、ピックアップに内蔵の対物レンズとディスクの信号面との間の距離を一定に保つべく制御するフォーカスサーボ回路が必要不可欠である。このフォーカスサーボ回路の従来例を図10に示す。同図において、ディスク1の信号情報を光学的に読み取るピックアップ2からは、フォーカス誤差信号生成回路3に対してフォーカスサーボ系の出力が供給される。

【0003】フォーカス誤差信号生成回路3では、非点収差法等の周知の生成法にしたがって、ディスクの信号

面が光学系の焦平面にあるときゼロ、信号面が対物レンズに近づくときマイナス（又は、プラス）、信号面が対物レンズから遠ざかるとプラス（又は、マイナス）となるフォーカス誤差信号が生成される。このフォーカス誤差信号は、加算器4を経た後位相補償ドライバンプ5で位相補償されてピックアップ2内のフォーカスアクチュエータにそのドライブ信号として供給される。

【0004】このフォーカスサーボ回路において、例えば、フォーカス誤差信号の生成法として非点収差法を用いた場合は、図11に示すように、ピックアップ1の光検出器として受光面が4分割された4分割センサ31を用い、対角線上に位置する受光部①と③、②と④の各出力を加算器32、33で加算し、さらに各加算出力を減算器34で減算することによってフォーカス誤差信号を生成する構成となっていることから、4分割センサ31の各受光部①～④の感度にバラツキがあったり、加算器等の回路系にオフセットが存在したりすると、ディスクの信号面が光学系の焦平面にあるにも拘らず、フォーカス誤差信号にオフセット分が生じ、フォーカス誤差信号がゼロにならないことになる。

【0005】この状態でフォーカスサーボを行うと、オフセット分だけ焦点ずれとなり、ディスクの信号情報を良好に読み取れないことになる。このため、従来は、半固定抵抗Rを用いてバイアス電圧を発生し、このバイアス電圧を加算器4にてフォーカス誤差信号に加算してオフセット分をキャンセルすることにより、ジャストフォーカスとなるようにフォーカスサーボのオフセット調整を行っていた。このフォーカスサーボのバイアス調整は、製造ラインにおいて、ディスク上のビットの位置にフォーカスが合うように、換言すれば、ピックアップ2から出力されるRF信号のアイパターンが波形観測で一番きれいになるように行われていた。

【0006】

【発明が解決しようとする課題】しかしながら、上記構成の従来のフォーカスサーボ回路では、フォーカスサーボのバイアス調整を製造ラインにおいて手動で行う構成となっていたので、その調整作業に熟練や手間を要するとともに、実際に再生するディスクの厚さや材料の違いによって屈折率が異なった場合に発生する焦点ずれには対応できないという問題点があった。本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、フォーカスサーボのバイアス調整を、再生するディスク毎に自動的にかつ最適に行うことが可能なフォーカスサーボ回路を提供することにある。

【0007】

【課題を解決するための手段】本発明によるフォーカスサーボ回路は、フォーカス誤差信号を生成する誤差信号生成回路と、ディスクから再生された2値化信号に同期したクロックのエッジと2値化信号の変化点との間の時間差を計測する時間差計測回路と、この時間差に応じた

(3)

特開平6-231477

4

フォーカスバイアス電圧を発生するバイアス電圧発生回路と、フォーカス誤差信号にフォーカスバイアス電圧を加算する加算器とを具備し、この加算器の加算出力に基づいてフォーカスサーボを行う構成となっている。

【0008】

【作用】RF信号のジッター量を、2値化信号に同期したクロックのエッジと2値化信号の変化点との間の時間差として計測する。このジッター量はフォーカスバイアス誤差に対応することから、この時間差が最少となるようなフォーカスバイアス電圧を設定する。そして、この設定フォーカスバイアス電圧をフォーカス誤差信号に加算する。これにより、フォーカス誤差信号に含まれる直流オフセット分がキャンセルされるため、フォーカスバイアスがジャストフォーカスとなるように自動的に調整される。

【0009】

【実施例】以下、本発明の実施例を図面に基いて詳細に説明する。図1は、例えばCDプレーヤに適用された本発明によるフォーカスサーボ回路の一実施例を示すブロック図である。図1において、ディスク1の信号面には、信号情報がビット列として記録されている。このディスク1の信号情報は、ピックアップ2によって光学的に読み取られる。このピックアップ2から出力されるRF信号は、図示せぬPLL回路に供給されてこのRF信号に同期したPLLクロックPLCKの生成に用いられるとともに、図示せぬデジタル信号処理系に供給されてPLLクロックPLCKを基準としてEFM(Eight to Fourteen Modulation)復調やエラー訂正等の信号処理が施されてオーディオ出力として導出される。

【0010】フォーカス誤差信号生成回路3は、非点収差法等の周知の生成法にしたがって、ピックアップ2からのフォーカスサーボ系の出力に基づいてディスクの信号面が光学系の焦平面にあるときゼロ、信号面が対物レンズに近づくときマイナス（又は、プラス）、信号面が対物レンズから遠ざかるとプラス（又は、マイナス）となるフォーカス誤差信号を生成する。このフォーカス誤差信号は、加算器4を経た後位相補償ドライブアンプ5で位相補償されてピックアップ2内のフォーカスアクチュエータにそのドライブ信号として供給される。

【0011】ところで、フォーカスサーボにおいては、図2に示すように、ジャストフォーカスの場合（A）には、RF信号はきれいな波形となり、PLLクロックPLCKもジッターのない波形となるが、ジャストフォーカスポイントより若干ポイントがずれた場合、即ちフォーカスバイアスずれの場合（B）には、電氣的にRF信号の周波数スペクトルが広がったものとなり、RF信号がきれいな波形となるために、PLLクロックPLCKもジッターを含んだ波形となる。図3（A）、（B）には、RF信号の2値化信号であるEFM信号とPLLクロックPLCKの波形を、図2（A）、（B）にそれぞれ対応して示

している。

【0012】そこで、本発明においては、ジャストフォーカスのときRF信号のジッター量が最少となることに着目し、フォーカスバイアス誤差に対応したこのジッター量を、図4に示すように、PLLクロックPLCKのエッジとEFM信号の変化点との時間差（位相差） $\pm \Delta \theta$ として計測し、この時間差 $\pm \Delta \theta$ が最少となるようなフォーカスバイアス電圧を設定してバイアス調整を自動的に行うようにしている。すなわち、図1において、PLLクロックのエッジとEFM信号の変化点との間の時間差 $\pm \Delta \theta$ を計測する時間差計測回路6と、この時間差 $\pm \Delta \theta$ に応じたフォーカスバイアス電圧を発生するバイアス電圧発生回路6とを設け、このフォーカスバイアス電圧を加算器4にてフォーカス誤差信号に加算し、サーボ系に発生する直流オフセット分をキャンセルすることによってバイアス調整を行う構成となっている。

【0013】時間差計測回路6は、所定の時間を基準にとり、この基準時間（ $\pm T_{ref}$ ）以上大きなジッターが、フレーム同期信号の1周期（ $=136 \mu\text{sec.}$ ）の間に発生した回数をカウントすることにより、このカウント値を時間差 $\pm \Delta \theta$ として計測する。ここで、上記の基準時間（ $\pm T_{ref}$ ）としては、PLLクロックPLCKの周波数（ $=4.3218 \text{ MHz}$ ）の8倍の周期のN倍が設定される。例えば、 $N=3$ とすると、

【数1】 $T_{ref} = (1/4.3218 \text{ MHz} \times 8) \times 3 \approx 88 \text{ nsec.}$

なる時間が基準にとられることになる。なお、Nの値は、3に限定されるものではなく、任意の値に選定し得る。

【0014】次に、この時間差計測回路6の具体的な構成について説明する。図5は時間差計測回路6の構成の一例を示すブロック図であり、図6（a）～（e）に図5の各部（a）～（e）の波形を示す。EFM信号（b）は、フリップフロップ11の入力になるとともに、排他的論理和ゲート12の一入力となる。フリップフロップ11はPLLクロックPLCKをインバータ13で反転して得られるクロックXPCCK（a）で動作する。このフリップフロップ11の出力は、EX-ORゲート12の他入力となる。これにより、EX-ORゲート12の出力（c）は、EFM信号の変化点からクロックXPCCKの立上がりエッジ、即ちPLLクロックPLCKの立下がりエッジまでの期間において高レベルとなる。

【0015】EX-ORゲート12の出力（c）は、3bit カウンタ14のc1入力になるとともに、フリップフロップ15の入力となる。3bit カウンタ14は、初期値として2' sコンプリメント表現で（100）の値（-4）がロードされ、排他的論理和ゲート12の出力（c）が高レベルの期間で34MHz（ $=4.3218 \text{ MHz} \times 8$ ）の周波数のクロックをカウントする。このカウンタ14のカウント値（e）は、EFM信号の変化

(4)

特開平6-231477

5

点とPLLクロックCLKのエッジとの間の時間差 $\pm \Delta \theta$ に対応することになる。フリップフロップ15の出力はさらにフリップフロップ16の入力になるとともに、インバータ17で反転されてNANDゲート18の入力となる。フリップフロップ15、16は共に、34MHzのクロックで動作する。フリップフロップ16の出力は、NANDゲート18の他入力となる。

【0016】NANDゲート18の出力(c)は、3bitカウンタ14及びレジスタ19の各ロード(LD)入力となる。このロード入力(d)にตอบสนองして、レジスタ19には3bitカウンタ14の最終カウント値がロードされ、同時に3bitカウンタ14には先の初期値(100)がロードされる。レジスタ19にロードされた値(f)は比較器20の比較入力となる。比較器20は、比較入力の値が例えば ± 3 以上のとき高レベルの出力を発生する。この数値“3”により、数1の式で求められる88nsec.なる基準時間($\pm T_{ref}$)が設定されることになる。

【0017】比較器20の出力はANDゲート21の入力となる。このANDゲート21は、NANDゲート18の出力(d)のインバータ22による反転出力を他入力とし、NANDゲート18の出力(d)の発生タイミング(ロードタイミング)で比較器20の出力をカウンタ23に供給する。一方、136 μ sec.周期のフレーム同期信号は、インバータ22の出力を入力とするANDゲート24の他入力となる。ANDゲート24の出力は、カウンタ23のリセット入力になるとともに、P/S(パラレル/シリアル)レジスタ25のロード入力となる。P/Sレジスタ25は、カウンタ23からロードされたパラレルデータをシリアルデータに変換し、バイアス電圧発生回路7から供給されるシフトインクロックにตอบสนองして、シリアルデータをシフトアウトデータとしてバイアス電圧発生回路7へ出力する。

【0018】ここで、RF信号でPLLクロックCLKより ± 88 nsec.以上ずれた変化を98フレーム期間だけ計測したカウント数(位相ずれ回数)とC1ブロックエラーレートを、フォーカスバイアス電圧をパラメータとした場合の計測結果として図7に示す。同図において、実線(a)がブロックエラーレートを、点線(b)が最大位相ずれ回数をそれぞれ示している。なお、2本の実線(a)、2本の点線(b)でそれぞれ囲まれた領域内が多く観測される値である。この計測結果から明らかなように、フォーカスバイアス電圧が0~0.3Vの間で良好であり、このときC1ブロックエラーレートも位相ずれ回数も最少となっていることがわかる。

【0019】次に、バイアス電圧発生回路7において、時間差計測回路6で計測された計測データN(位相ずれ回数)に基づいてフォーカスバイアス電圧を設定する具体例について説明する。バイアス電圧発生回路7は、マイクロコンピュータによって構成され、計測データNの

6

平均値が最小となるようにフォーカスバイアス電圧を設定する。その設定の処理手順の一例を、図8のフォーカスバイアス電圧・位相ずれ回数の特性図に基づいて、図9のフローチャートにしたがって説明する。

【0020】まず、計測データNの最小値 N_{min} を計測し(ステップS1)、次いでこの最小値 N_{min} よりも α %だけ大なる閾値 N_{th} を設定する(ステップS2)。なお、この閾値 N_{th} については、フォーカスサーボが外れる危険性のある限界値 N_{lim} 未満に設定する必要がある。続いて、計測データNが閾値 N_{th} となる2つのバイアス値 F_{A1} 、 F_{A2} を計測し(ステップS3)、この2つのバイアス値 F_{A1} 、 F_{A2} の平均値($= (F_{A1} + F_{A2}) / 2$)を求め(ステップS4)、これを設定フォーカスバイアス電圧とする。

【0021】

【発明の効果】以上説明したように、本発明によれば、RF信号のジッター量を2値化信号であるEFM信号に同期したPLLクロックのエッジとEFM信号の変化点との間の時間差として計測し、この時間差が最少となるようなフォーカスバイアス電圧を設定し、この設定バイアス電圧をフォーカス誤差信号に加算してオフセット分をキャンセルするようにしたので、従来は製造ラインで行っていたフォーカスサーボのバイアス調整を自動的に行えることになる。また、バイアス調整の自動化により、ディスク再生の度にフォーカスサーボのバイアス調整が行われることになるため、ディスクの厚さや材料が異なっても、各ディスク毎に最適なバイアス点で再生できることになる。

【図面の簡単な説明】

【図1】本発明によるフォーカスサーボ回路の一実施例を示すブロック図である。

【図2】RF信号とPLLクロックの波形図であり、(A)はジャストフォーカスの場合を、(B)はフォーカスバイアスずれの場合をそれぞれ示している。

【図3】EFM信号とPLLクロックの波形図であり、(A)はジャストフォーカスの場合を、(B)はフォーカスバイアスずれの場合をそれぞれ示している。

【図4】EFM信号とPLLクロックの時間差 $\pm \Delta \theta$ を示す図である。

【図5】時間差計測回路の構成の一例を示すブロック図である。

【図6】図5の各部の波形図である。

【図7】フォーカスバイアス電圧に対するブロックエラーレート及び位相ずれ回数の計測結果を示す特性図である。

【図8】計測結果に基づくフォーカスバイアス電圧・位相ずれ回数の特性図である。

【図9】バイアス電圧を設定する手順の一例を示すフローチャートである。

【図10】フォーカスサーボ回路の従来例を示すブロッ

(5)

特開平6-231477

7

8

ク図である。

【図1】非点収差法の原理図である。

【符号の説明】

- 1 ディスク
3 フォーカス誤差信号生成回路
6 時間差計測回路

* 7 バイアス電圧発生回路

14 3bit カウンタ

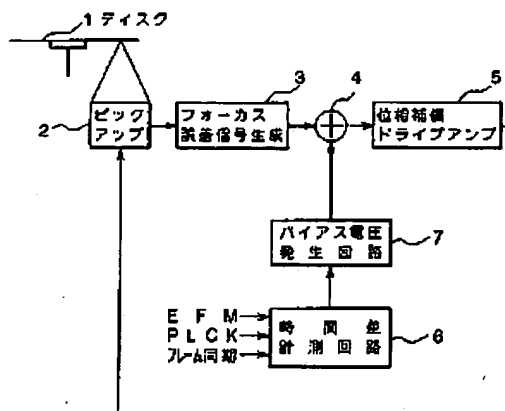
19 レジスタ

20 比較器

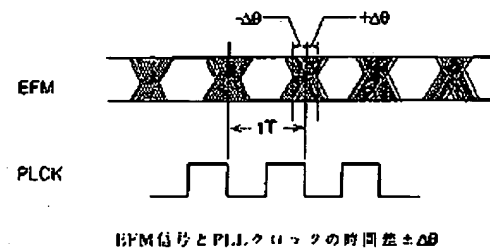
23 カウンタ

* 25 P/Sレジスタ

【図1】



【図4】



【図6】

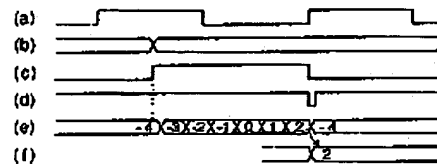
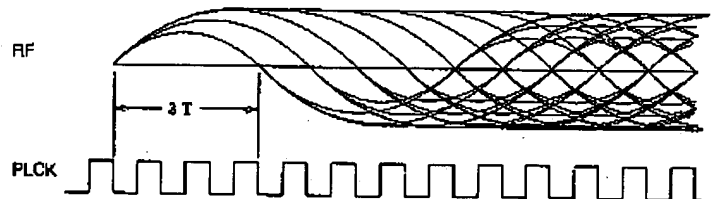


図5の各層の波形状

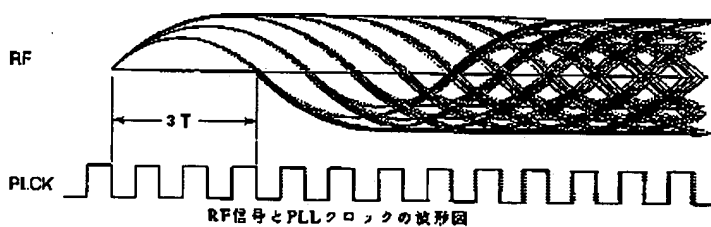
本発明の一実施例を示すブロック図

【図2】

(A) ジャストフォーカスのRF信号とPLLクロック



(B) フォーカスバイアスずれのRF信号とPLLクロック



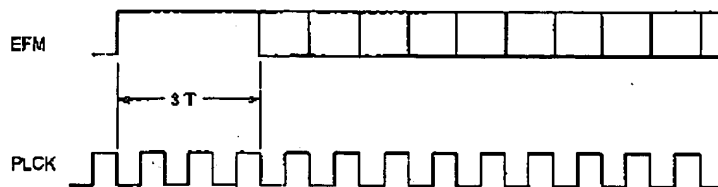
RF信号とPLLクロックの波形状

(6)

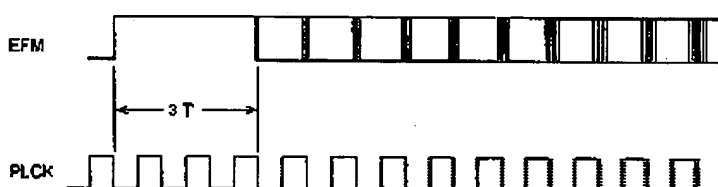
特開平6-231477

【図3】

(A) ジャストフォーカスのEFM信号とPLLクロック

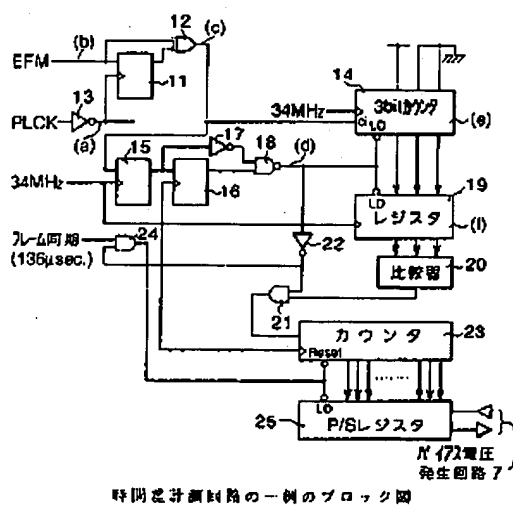


(B) フォーカスバイアスずれのEFM信号とPLLクロック

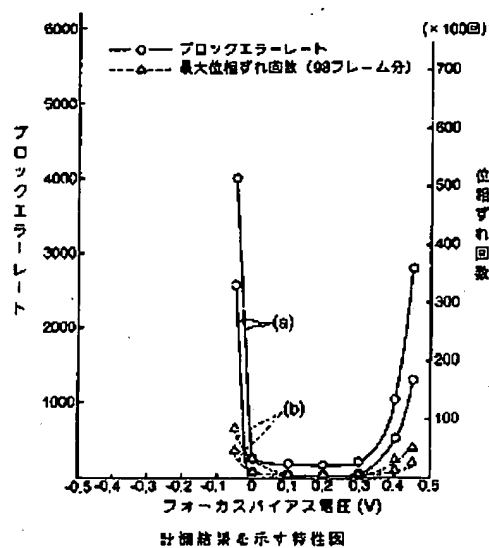


EFM信号とPLLクロックの波形図

【図5】



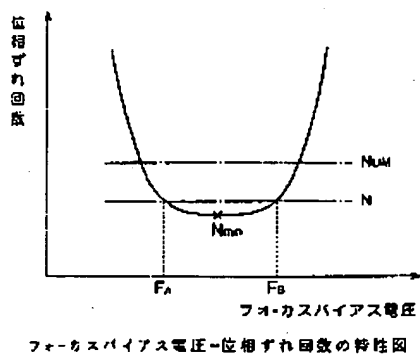
【図7】



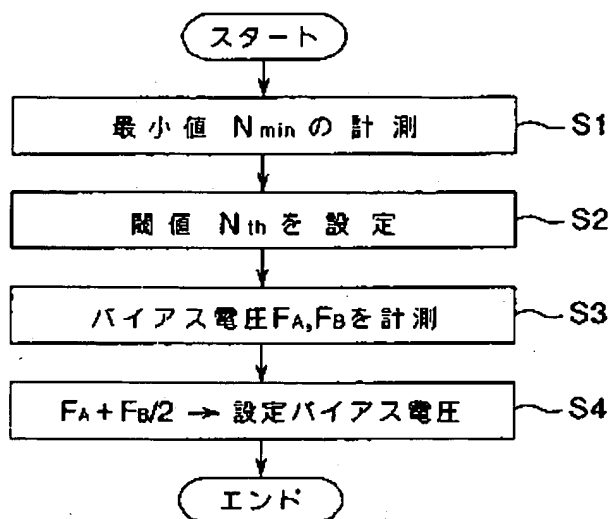
(7)

特開平6-231477

【図8】

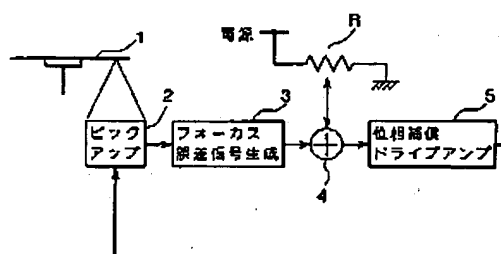


【図9】



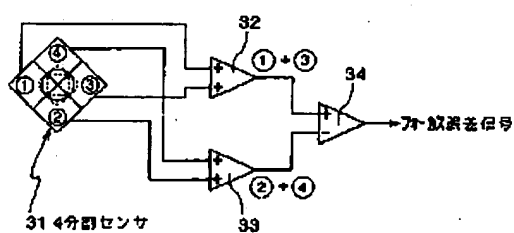
バイアス電圧設定のフローチャート

【図10】



従来例を示すブロック図

【図11】



赤点収差法の原理図

フロントページの続き

(72)発明者 野田 英伸

神奈川県横浜市保土ヶ谷区神戸町134番地
ソニーLSIデザイン株式会社内